

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-238885

(43)Date of publication of application : 31.08.1999

(51)Int.Cl.

H01L 29/78

H01L 29/786

H01L 21/336

(21)Application number : 10-343977

(71)Applicant : SHARP CORP
SHARP MICROELECTRONICS TECHNOL INC

(22)Date of filing : 03.12.1998

(72)Inventor : DAVE RUSSELL EVANS
SHAN TEN SU

(30)Priority

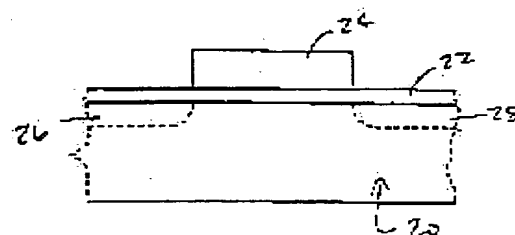
Priority number : 98 28157 Priority date : 23.02.1998 Priority country : US

(54) MANUFACTURE OF PLANAR MOSFET WITH STACKED SOURCE/DRAIN BY CHEMICAL MECHANICAL POLISHING AND NITRIDE SUBSTITUTION

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a gate electrode to dispense with dry etching, by a method wherein a gate dielectric body is formed in a gap located above a gate region to fill up the gap, a source region, and a region located above a drain region, the upper surface of a structure is flattened by chemical mechanical polishing, and a metal layer is deposited on the upper surface of the structure.

SOLUTION: An SOI substrate 20 is manufactured through a method where a high dose of oxygen is injected into a single crystal silicon and successively annealed into an SIMOX (SOI formed by implantation of oxygen ions), and then the SIMOX is formed into the substrate 20 by bonding a silicon wafer, etching back, and hetero epitaxy. After a pre-treatment, the substrate 20 is flattened as a whole by chemical mechanical polishing. An oxide layer 22 is formed as thick as about 30 nm on the substrate 20. Then, a silicon nitride layer is deposited through a vacuum chemical vapor growth method. The silicon nitride layer is formed into a nitride island 24 undergoing photolithography and etching, and the nitride island 24 is formed to serve as a gate electrode. P-type low-dosed drain regions 26 and 28 are formed by implantation of ions.

**LEGAL STATUS**

[Date of request for examination] 19.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-238885

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 S

29/786

6 2 1

21/336

6 2 6 A

6 2 7 A

審査請求 未請求 請求項の数17 O L (全 9 頁)

(21) 出願番号 特願平10-343977

(71) 出願人 000005049

(22) 出願日 平成10年(1998)12月3日

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(31) 優先権主張番号 09/028,157

(71) 出願人 592208286

(32) 優先日 1998年2月23日

シャープ・マイクロエレクトロニクス・テ
クノロジー・インコーポレイテッド

(33) 優先権主張国 米国 (US)

アメリカ合衆国、ワシントン・98607、カ
マス、エヌ・ダブリュー、パシフィック・
リム・プールバード・5700

(74) 代理人 弁理士 山本 秀策

最終頁に続く

(54) 【発明の名称】 化学的機械的研磨及び窒化物置換による積み上げソース/ドレインを有するプレーナMOSFETの製造方法

(57) 【要約】

【課題】 プレーナMOSFET素子の製造において、化学的機械的研磨および窒化物置換工程による平坦化技術を用いる方法を提供する。

【解決手段】 MOSFETを製造する方法は、平坦化された基板上に酸化物層を堆積する工程と、基板のゲート領域上方に窒化シリコン島を形成する工程と、窒化物島の周囲に酸化物の側壁を形成する工程と、基板内にソース領域及びドレイン領域を形成する工程と、窒化シリコン島を除去し、それによってゲート領域上方に空隙を残す工程と、ゲート領域上方の空隙にゲート誘電体を形成する工程と、空隙とソース領域及びドレイン領域上方の領域とを充填する工程と、構造体の上部表面を化学的機械的研磨によって平坦化する工程と、構造体の上部表面に金属層を堆積する工程と、ソース領域、ゲート領域、ドレイン領域に電氣的に接触する電極を形成するため、構造体をメタライズする工程とを包含する。

【特許請求の範囲】

【請求項1】 素子分離のために平坦化されたシリコン基板上に、酸化物層を堆積する工程と、
基板のゲート領域上方に窒化シリコン島を形成する工程と、
該窒化物島の周囲に酸化物の側壁を形成する工程と、
該基板内にソース領域とドレイン領域とを形成する工程と、
該窒化シリコン島を除去し、それによって該ゲート領域上方に空隙を残す工程と、
該ゲート領域上方の該空隙にゲート誘電体を形成する工程と、
該空隙と該ソース領域及び該ドレイン領域上方の領域とを充填する工程と、
該構造体の上部表面を化学的機械的研磨によって平坦化する工程と、
該構造体の該上部表面に金属層を堆積する工程と、
該ソース領域、該ゲート領域、該ドレイン領域に電氣的に接触する電極を形成するため、該構造体をメタライズする工程と、を含むプレーナMOSFETを製造する方法。

【請求項2】 化学的機械的研磨によって前記基板を平坦化する工程を含む、請求項1に記載のプレーナMOSFETの製造方法。

【請求項3】 前記酸化物層を堆積する工程が、酸化シリコンを30nmの厚さまで堆積する工程を含む、請求項1に記載のプレーナMOSFETの製造方法。

【請求項4】 前記窒化シリコン島を形成する工程が、窒化シリコンの層を前記酸化物層の上に約150～400nmの厚さまで堆積する工程と、
該シリコン島領域をマスキングする工程と、
該シリコン島領域をエッチングし、前記ゲート領域上方の領域以外の層を除去する工程とを含む、請求項1に記載のプレーナMOSFETの製造方法。

【請求項5】 前記窒化シリコン島の下側周部の周りに、バースピーク構造を形成する工程を含む、請求項4に記載のプレーナMOSFETの製造方法。

【請求項6】 前記窒化シリコン島を除去する工程が、該窒化シリコン島、そのための前記側壁、前記ソース領域及び前記ドレイン領域の上に、第1の多結晶シリコン層を堆積する工程と、
構造体を該窒化シリコン島の上面の深さまで化学的機械的に研磨する工程と、
該窒化シリコン島を溶媒で溶解させる工程と、を含む請求項1に記載のプレーナMOSFETの製造方法。

【請求項7】 フィールド酸化物領域を覆う前記第1の多結晶シリコン層を除去する工程と、残された該第1の多結晶シリコン層の上に酸化シリコン層を堆積する工程と、前記構造体を化学的機械的に研磨し、該第1の多結晶シリコン層の上面の深さまで材料を除去する工程と、

をさらに含む請求項6に記載のプレーナMOSFETの製造方法。

【請求項8】 前記ゲート誘電体を形成する工程が、高い誘電率および高い破壊強度を有する材料を堆積する工程を含む、請求項1に記載のプレーナMOSFETの製造方法。

【請求項9】 サリサイドプロセスを促進するために、前記構造体をメタライズする工程の前に、該構造体をアニールする工程を含む、請求項1に記載のプレーナMOSFETの製造方法。

【請求項10】 前記充填する工程が、多結晶シリコン、バリア金属と組み合わせた銅、タングステン、モリブデン、タンタル、プラチナよりなる群から選択される材料を用いて、前記ソース領域及び前記ドレイン領域上の前記空隙や前記領域を充填する工程を含む、請求項1に記載のプレーナMOSFETの製造方法。

【請求項11】 後にゲート領域を提供する活性領域を含むようにシリコン基板を準備する工程と、
化学的機械的研磨により該準備された基板を平坦化する工程と、

素子分離のために平坦化された該基板上に、酸化物層を堆積する工程と、

窒化シリコンの層を酸化物層の上に約150～400nmの厚さで堆積する工程と、

該窒化物島領域をマスキングする工程と、

該窒化シリコンをエッチングして該ゲート領域上方の領域以外の層を除去する工程と、を含む工程と、

該窒化物島の周囲に酸化物の側壁を形成する工程と、

該基板上にソース領域とドレイン領域とを形成する工程と、

該窒化シリコン島を除去し、それによって該ゲート領域上方に空隙を残す工程と、

該ゲート領域上方の該空隙にゲート誘電体を形成する工程と、

該空隙と該ソース領域及び該ドレイン領域上方の該領域を、多結晶シリコン、バリア金属と組み合わせた銅、タングステン、モリブデン、タンタル、およびプラチナよりなる群から選択される材料を用いて充填する工程と、

該構造体の上部表面を化学的機械的研磨によって平坦化する工程と、

該構造体の上部表面に金属層を堆積する工程と、

該ソース領域、該ゲート領域、該ドレイン領域に電氣的に接触する電極を形成するため該構造体をメタライズする工程と、を含むプレーナMOSFETの製造方法。

【請求項12】 前記酸化物層を堆積する工程が、酸化シリコンを約30nmの厚さで堆積する工程を含む、請求項11に記載のプレーナMOSFETの製造方法。

【請求項13】 前記窒化シリコン島の下側周部の周りに、バースピーク構造を形成する工程を含む、請求項11に記載のプレーナMOSFETの製造方法。

【請求項14】 前記窒化シリコン島を除去する工程が、該窒化シリコン島、そのための前記酸化物の側壁、前記ソース領域及び前記ドレイン領域上に、第1の多結晶シリコン層を堆積する工程と、前記構造体を該窒化シリコン島の上面の深さまで化学的機械的に研磨する工程と該窒化シリコン島を溶媒に溶解させる工程と、を含む請求項11に記載のプレーナMOSFETの製造方法。

【請求項15】 前記フィールド酸化物領域を覆う前記第1の多結晶シリコン層を除去する工程と、残された該第1の多結晶シリコン層の上に酸化シリコン層を堆積する工程と、前記構造体を化学的機械的に研磨し、該第1の多結晶シリコン層の上面の深さまで材料を除去する工程と、をさらに含む請求項14に記載のプレーナMOSFETの製造方法。

【請求項16】 前記ゲート誘電体を形成する工程が、高い誘電率および高い破壊強度を有する材料を堆積する工程を含む、請求項11に記載のプレーナMOSFETの製造方法。

【請求項17】 サリサイドプロセスを促進するために、前記メタライズする工程の前に、前記構造体をアニールする工程を含む、請求項11に記載のプレーナMOSFETの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に集積回路の製造に関し、詳しくは、積み上げソース／ドレイン領域を有するMOSFET回路の製造に関する。

【0002】

【従来の技術】MOSFET半導体の製造は当該分野では良く知られている。そのような構造体はChowらの米国特許No. 4, 702, 792に示されており、そこでは小型の導電性チャネルを作る技術が開示されている。

【0003】Beyerらの米国特許No. 4, 944, 836及びNo. 4, 954, 142には、シリコンベースの基板を化学的機械的に研磨する技術が開示されている。

【0004】KaufmanらはJournal of the Electrochemical Society誌第138巻、3460頁(1991年)で、既にそのような構造体について論じている。

【0005】

【発明が解決しようとする課題】上記の引用文献はMOSFET素子の製造について論じているが、それらは本発明の利点をもたらすものではない。

【0006】本発明の目的は、改良された全体的な平坦化技術を用いてプレーナMOSFET素子を製造する方法を提供することである。

【0007】本発明の別の目的は、従来のシリコン基板及びSOI(silicon-on-insulator)基板の両方に構築され得るそのようなMOSFET素子を提供することである。

【0008】本発明のさらなる目的は、いかなるタイプのゲート誘電体材料も使用可能なMOSFET素子の製造を規定することである。

【0009】本発明のさらに別の目的は、耐熱性金属や銅等の高導電性材料をゲート電極として有するMOSFET素子の製造を規定することである。

【0010】本発明の別の目的は、ゲート電極をドライエッチングすることを必要としないMOSFET素子の製造方法を規定することである。

【0011】本発明におけるこれらの及び別の目的や利点は、以下の説明を図面を参照しながら読むことでさらにいっそう明らかになるであろう。

【0012】

【課題を解決するための手段】本発明のある実施形態によれば、プレーナMOSFETを製造する方法が開示される。その方法は、素子分離のために平坦化されたシリコン基板上に、酸化物層を堆積する工程と、基板のゲート領域上方に窒化シリコン島を形成する工程と、窒化物島の周囲に酸化物の側壁を形成する工程と、基板内にソース領域とドレイン領域とを形成する工程と、窒化シリコン島を除去し、それによってゲート領域上方に空隙を残す工程と、ゲート領域上方の空隙にゲート誘電体を形成する工程と、空隙と該ソース領域及び該ドレイン領域上方の領域とを充填する工程と、構造体の上部表面を化学的機械的研磨によって平坦化する工程と、構造体の上部表面に金属層を堆積する工程と、ソース領域、ゲート領域、ドレイン領域に電氣的に接触する電極を形成するため、構造体をメタライズする工程とを含むことにより、上記目的が達成される。

【0013】プレーナMOSFETの製造方法は、化学的機械的研磨によって基板を平坦化する工程を含んでもよい。

【0014】酸化物層を堆積する工程は、酸化シリコンを30nmの厚さまで堆積する工程を含んでもよい。

【0015】窒化シリコン島を形成する工程は、窒化シリコンの層を酸化物層の上に約150~400nmの厚さまで堆積する工程と、シリコン島領域をマスキングする工程と、シリコン島領域をエッチングし、ゲート領域上方の領域以外の層を除去する工程とを含んでもよい。

【0016】プレーナMOSFETの製造方法は、窒化シリコン島の下側周部の周りに、バースピーク構造を形成する工程を含んでもよい。

【0017】窒化シリコン島を除去する工程は、窒化シリコン島、そのための側壁、ソース領域及びドレイン領

域の上に、第1の多結晶シリコン層を堆積する工程と、構造体を窒化シリコン島の上面の深さまで化学的機械的に研磨する工程と、窒化シリコン島を溶媒で溶解させる工程と、を含んでいてもよい。

【0018】プレーナMOSFETの製造方法は、フィールド酸化物領域を覆う第1の多結晶シリコン層を除去する工程と、残された第1の多結晶シリコン層の上に酸化シリコン層を堆積する工程と、構造体を化学的機械的に研磨し、第1の多結晶シリコン層の上面の深さまで材料を除去する工程と、をさらに含んでもよい。

【0019】ゲート誘電体を形成する工程は、高い誘電率および高い破壊強度を有する材料を堆積する工程を含んでいてもよい。

【0020】プレーナMOSFETの製造方法は、サリサイドプロセスを促進するために、前記構造体をメタライズする工程の前に、該構造体をアニールする工程を含んでいてもよい。

【0021】充填する工程は、多結晶シリコン、バリア金属と組み合わせた銅、タングステン、モリブデン、タンタル、プラチナよりなる群から選択される材料を用いて、ソース領域及びドレイン領域上の空隙や領域を充填する工程を含んでもよい。

【0022】本発明の別の実施形態によれば、プレーナMOSFETの製造方法は、後にゲート領域を提供する活性領域を含むようにシリコン基板を準備する工程と、化学的機械的研磨により準備された基板を平坦化する工程と、素子分離のために平坦化された基板上に、酸化物層を堆積する工程とを含む。その方法はまた、窒化シリコンの層を酸化物層の上に約150〜400nmの厚さで堆積する工程と、窒化物島領域をマスキングする工程と、窒化シリコンをエッチングしてゲート領域上方の領域以外の層を除去する工程と、を含む工程も含む。その方法はさらに、窒化物島の周囲に酸化物の側壁を形成する工程と、基板上にソース領域とドレイン領域とを形成する工程と、窒化シリコン島を除去し、それによってゲート領域上方に空隙を残す工程と、ゲート領域上方の空隙にゲート誘電体を形成する工程と、空隙とソース領域及びドレイン領域上方の領域を、多結晶シリコン、バリア金属と組み合わせた銅、タングステン、モリブデン、タンタル、およびプラチナよりなる群から選択される材料を用いて充填する工程と、構造体の上部表面を化学的機械的研磨によって平坦化する工程と、構造体の上部表面に金属層を堆積する工程と、ソース領域、ゲート領域、ドレイン領域に電気的に接触する電極を形成するため構造体をメタライズする工程とを含む。以上のことにより上記目的が達成される。

【0023】酸化物層を堆積する工程は、酸化シリコンを約30nmの厚さで堆積する工程を含んでいてもよい。

【0024】プレーナMOSFETの製造方法は、窒化

シリコン島の下側周部の周りに、バースピーク構造を形成する工程を含んでいてもよい。

【0025】窒化シリコン島を除去する工程は、窒化シリコン島、そのための酸化物の側壁、ソース領域及びドレイン領域上に、第1の多結晶シリコン層を堆積する工程と、構造体を窒化シリコン島の上面の深さまで化学的機械的に研磨する工程と、窒化シリコン島を溶媒で溶解させる工程とを含んでいてもよい。

【0026】プレーナMOSFETの製造方法は、フィールド酸化物領域を覆う第1の多結晶シリコン層を除去する工程と、残された第1の多結晶シリコン層の上に酸化シリコン層を堆積する工程と、構造体を化学的機械的に研磨し、第1の多結晶シリコン層の上面の深さまで材料を除去する工程とを、さらに含んでいてもよい。

【0027】ゲート誘電体を形成する工程は、高い誘電率および高い破壊強度を有する材料を堆積する工程を含んでいてもよい。

【0028】プレーナMOSFETの製造方法は、サリサイドプロセスを促進するために、メタライズする工程の前に、構造体をアニールする工程を含んでいてもよい。以下に作用を説明する。本発明によれば、化学的機械的な研磨による、全体的な平坦化技術を用いたプレーナMOSFET素子の製造方法を提供できる。また、本発明における窒化物の置換を用いる製造方法により、いかなるタイプのゲート誘電体材料も使用可能となり、ゲート電極に対するドライエッチングが不要となる。この製造方法は、従来のシリコン基板に加えて、SOI(silicon-on-insulator)基板に対しても適用できる。

【0029】本発明に関する前述及び他の目的、特徴、ならびに利点は、添付の図面に示されるような本発明の好適な実施形態の、以下のより具体的な記述から、明らかになるだろう。

【0030】

【発明の実施の形態】図面において、まず図1を参照して、基板（ここでは単結晶シリコン基板）は概略的に参照符号20で示される。本明細書では、「基板」または「シリコン基板」とはバルクシリコンの単結晶基板またはSIMOX (Separation by Implantation of Oxygen) シリコン基板のことである。基板20は、本明細書で後述する、続いて行われる素子の製造に適した、電気的にアクティブな領域および／または電気的に分離された領域を形成するように特別に加工されているものである。前処理としては、従来のn⁻ウェルおよび／またはp⁻ウェルの規定および分離、多結晶シリコンまたは酸化物の再充填によるトレンチ分離、従来のあるいは十分に窪みの与えられた局部酸化(LOCOS)および／または、LOCOSあるいはエッチングのいずれかによるSOIメサ構造の生成を含むうるがこれらに限定されない。以上の工程は組

み合わせて、あるいは単独で行われ得るかもしれない。SOI基板は、高ドーズ量の酸素を単結晶シリコンに注入し、引き続いてアニーリングを行って、SIMOXを形成し、シリコンウエハの結合、エッチバック、ヘテロエピタキシー等を行うことによって製造され得る。SIMOXの1例として、約200keV、酸素ドーズ量 $1 \sim 2 \times 10^{18} \text{ cm}^{-2}$ の条件での酸素注入が挙げられる。次にウエハは1300~1350℃で4~10時間アニールされる。埋め込まれた酸化物の厚さは約300nmである。

【0031】前処理が完了すると基板は平坦化される、つまり化学的機械的研磨(CMP)により全体的に平坦化される。

【0032】酸化物層22は約30nmの厚さまで基板20上に形成される。(図面は正しいスケールで描かれていない。)次に窒化シリコンの層は低压化学気相成長法(LPCVD)によって150~400nmの厚さまで堆積される。窒化シリコン層がフォトリソグラフィとエッチングのプロセスを経て窒化物島24にされる。窒化物島24はゲート電極となるものの誘電体イメージを形成する。このイメージは個別のフォトリソグラフィ工程を必要とせず多結晶シリコン材料内へ写され得る。これについては後に説明する。

【0033】p⁻LDDイオン注入が及ばないようにn⁻チャネルトランジスタをマスクするためにフォトレジストが使用される。低ドーズドレイン(LDD)形成とは、低ドーズイオン注入のことであり、本明細書では、注入される領域の意図された使用に関係なく、一般的に低ドーズイオン注入について説明するために使用される。p⁻LDD領域26及び28はBF₃イオンの注入によって形成される。好適なイオンドーズ量は $5 \sim 50 \times 10^{13} \text{ cm}^{-2}$ であり、BF₃イオンエネルギーは10keV~80keVである。イオンエネルギーは、イオンが窒化物層を通して注入されないように十分に低い。フォトレジストが除去され、n⁻LDDイオン注入のためのp⁻チャネルトランジスタをマスクするために新たなフォトレジストが使用される。n⁻LDD領域は、イオンドーズ量 $5 \sim 50 \times 10^{13} \text{ cm}^{-2}$ 、ヒ素についてはイオンエネルギー40keV~100keV、リンについてはイオンエネルギー10keV~60keVの条件下でのヒ素イオンあるいはリンイオンの注入によって、形成される。

【0034】任意の酸化の工程は、酸化物パッド22を厚くするために行われ得、図2において30と32で示されるように、結果として窒化物の端に、鳥のくちばし状の、いわゆる「バースピーク」を形成する。バースピークはゲート電極の端でゲート酸化物の破壊電圧を高め得る。この酸化工程中に、LDD領域にあるイオンは拡散され、図2に見られるようにバースピークの長さよりもさらに先へと広がる。酸化物層34がLTOやPECVD等の最新の方法で構造体上に堆積され、その結果図

2に示される構成が得られる。

【0035】次にウエハは異方性酸化物エッチング処理を施され、図3に見られるように、窒化物層の側壁の辺りに酸化物の薄い層36及び38が残る。図4では多結晶シリコン層40がウエハに堆積されている。層40は窒化物層24よりも量「T」だけ厚い。図5に見られるように、構造体はCMPによって処理され窒化物島24が表出する。次にフォトレジストのマスクが素子の活性領域を覆うように塗布される。フィールド領域の多結晶シリコン40はレジストで覆われていない。多結晶シリコンはエッチングされる。エッチングは酸化物層および窒化物層の上部表面で止まる。レジストは除去される。この時点で、p⁻チャネルトランジスタ及びn⁻チャネルトランジスタの両方のソース領域26とドレイン領域28だけが多結晶層40で覆われている。次にウエハは、窒化物層と同じかあるいはそれ以上の厚さを有する酸化物の層(図示せず)に覆われる。酸化物はCMPで平坦化され、多結晶シリコンと窒化物層の上部表面で止められる。その結果として図6に示されるように、分離酸化物領域41が多結晶層40を囲むように配置され、分離酸化物領域は基板の素子を互いに絶縁する。平面図である図6だけに示されている領域41は、図5に関連して説明された工程の後の他の図には存在するものと理解されるべきである。

【0036】窒化物島24はリン酸環流によって除去され、図7に示される構成となる。窒化物が除去されると、元の酸化物パッド22の残りが表出する。この酸化物層はゲート誘電体として働き得るが、リン酸環流工程の後で、酸化物パッドの残りが汚れたり傷ついたりする可能性は低い。酸化物パッド22はマスク無しの閾値調節インプラントのためのスクリーン酸化物としても働き得るが、これは当然ながら酸化物パッド22を汚す結果となりうる。酸化物パッド22が除去されるとチャネル領域42は表出するので、何らかの形のゲート誘電体をその上に被せる必要が生まれる。

【0037】引用文献に公開されているように、ゲート誘電体を形成する最も単純な方法は、チャネル領域42の表出したシリコン上に誘電体を再成長させることであるが、そのような再成長はエッジを薄くしてしまい、結局得られた素子が望ましく低いゲート破壊電圧を有することとなる。この影響は前述のLDD工程を慎重に設計することで低減され得る。LDD工程の間に、バースピーク30、32は窒化物島の周辺に形成され、この結果ゲートの端で酸化物パッドを厚くする。残りの酸化物パッドの除去が慎重に制御されるなら、「爪先」がスパーサ(36、38)の底に形成され、エッジが薄くなるのを埋め合わせる。

【0038】あるいは、ゲート誘電体は何らかの形式の堆積によって形成され得る。これは酸化シリコン以外の材料(高い誘電率および/または破壊強度等の望ましい

材料特性を持つ、 AlN 、 Al_2O_3 、 TiO_2 、 Ta_2O_5 等の材料)が使用され得るので、有利である。この場合、LDD工程でのバースピークは必要とされず、LDD工程中の酸化工程はプロセスから除かれ得る。物質はCVD、PVDあるいは原子層堆積(ALD)によって堆積され得る。どちらの方法が採られるかに関わらず、最終的には図8に見られるような、ゲート誘電体層44を形成することとなる。

【0039】ゲート誘電体層44の形成の後、第2の多結晶シリコン層46が構造体全体を覆うように堆積され、図8に示す構成となる。しかし多結晶シリコン以外の材料を、ソース領域、ゲート領域、ドレイン領域の上方の空隙を埋めるために用いられ得る。タングステン(W)、タンタル(Ta)、プラチナ(Pt)、モリブデン(Mo)等の耐熱性金属、あるいは窒化チタン(TiN)、窒化タンタル(TaN)、窒化タングステン(WN)等のバリア金属と組み合わせた銅(Cu)を用いてもよい。どの材料が選択されても構造体がこの材料で覆われると、構造体は全体的に平坦化(CMP)が行われ、多結晶シリコン層40、46の一部と側壁スペーサ36、38の一部が除去される。

【0040】次の工程は p^- チャネルソース/ドレインイオン注入である。フォトレジストが n^- チャネルトランジスタをマスクするために使用される。 p^- チャネルソース/ドレイン領域に BF_3 イオンが注入される。好適なイオンドーズ量は $1.0 \sim 5.0 \times 10^{15} \text{ cm}^{-2}$ であり、 BF_3 イオンエネルギーは $10 \text{ keV} \sim 80 \text{ keV}$ である。この場合もイオンエネルギーは、イオンがゲート誘電体層を通して注入されないように十分に低い。このイオン注入は p^- チャネルトランジスタのための p^+ ゲート領域46と p^+ ソース領域48および p^+ ドレイン領域50とを設ける。フォトレジストは除去され、 n^- チャネルソース/ドレインイオン注入のために p^- チャネルトランジスタをマスクするために新たなフォトレジストが使用される。

【0041】 n^- チャネルソース/ドレインは、イオンドーズ量 $1.0 \sim 5.0 \times 10^{15} \text{ cm}^{-2}$ 、ヒ素についてはイオンエネルギー $40 \text{ keV} \sim 100 \text{ keV}$ 、リンについてはイオンエネルギー $10 \text{ keV} \sim 60 \text{ keV}$ の条件下でのヒ素イオンあるいはリンイオンの注入によって形成される。マスキングレジストは除去され、ウェハは約 $800 \sim 1100^\circ\text{C}$ の不活性ガス雰囲気中で15秒 \sim 60分間アニールされる。 p^- チャネルトランジスタのゲート46、ソース48およびドレイン50は p^+ までドーブされ、一方対応する n^- チャネルトランジスタの層は n^+ までドーブされる。その結果トランジスタ構造は完成し、製造中の素子を完成させるのに酸化バッシュペーションおよびメタライゼーションが要求されるのみとなる。

【0042】ゲート電極、ソース電極およびドレイン電

極の寄生抵抗を最小化するために、任意のサリサイド(自己整合シリサイド)プロセスが行われ得る。シリサイド層52、54は最新式のサリサイドプロセスで形成され得るが、サリサイドの先行技術における問題は、酸化物スペーサ上にエッチングされずに残された金属によってゲートがソースおよび/またはドレインに短絡され得ることである。この問題は「タッチ研磨」と呼ばれる非常に短いCMP工程によって解消される。

【0043】図10の素子は導電体メタライゼーションのできる状態にある。これはソース領域、ゲート領域およびドレイン領域のための各領域に電気的に接触する電極を形成するための、当業者には良く知られた技術のいずれかでなされる。これはアルミニウム合金を使用するような、従来のバタニングやエッチングメタライゼーションによって実現してもよい。しかし表面は既に全体的に平坦化されているので、銅とCMPを使ったのはめ込みメタライゼーション、いわゆる「ダマシン配線」が容易に実行され得る。

【0044】ここで図11には、SIMOX基板上にバルクシリコン層60と埋め込み酸化物層62とを有する構造体が表示されている。残りの構成要素については同様の要素に対して先に使用された参照番号で示される。

【0045】既に述べたように、いくつかの例では従来のようにゲートを酸化する代わりに、ゲート誘電体層が堆積され得る。これは図12に示され、バルクシリコン基板20上に誘電体層70が堆積されている。ソース領域及びドレイン領域上の過剰な誘電体材料はCMPによって除去され、この結果ゲート誘電体は、図13、14に示されるように、バルクシリコン基板とSIMOX基板のそれぞれの上のゲート電極に対し自然に自己整合する。

【0046】以上のように、内部に積み上げソース/ドレインを有するプレーナMOSFETを形成する方法が開示された。その構造体を形成する好適な方法およびそのSIMOXの変形例が開示されたが、更なる変形および改変が、請求の範囲に記載されたような発明の範囲から外れることなくなされるであろうことは理解されねばならない。

【0047】

【発明の効果】上述のように本発明によれば、改良された全体的な平坦化技術を用いてプレーナMOSFET素子を製造する方法が提供できる。また、従来のシリコン基板に加えて、SOI(silicon-on-insulator)基板に対しても、MOSFET素子を構築できる。本発明のMOSFET素子は、いかなるタイプのゲート誘電体材料も使用可能である。さらに、本発明によれば、耐熱性金属や銅等の高導電性材料をゲート電極として有し、ゲート電極に対するドライエッチングが不要な、MOSFET素子の製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明のMOSFET素子の1つの工程を示す図である。

【図2】本発明のMOSFET素子の1つの工程を示す図である。

【図3】本発明のMOSFET素子の1つの工程を示す図である。

【図4】本発明のMOSFET素子の1つの工程を示す図である。

【図5】本発明のMOSFET素子の1つの工程を示す図である。

【図6】本発明のMOSFET素子の1つの工程を示す図である。

【図7】本発明のMOSFET素子の1つの工程を示す図である。

【図8】本発明のMOSFET素子の1つの工程を示す図である。

【図9】本発明のMOSFET素子の1つの工程を示す図である。

【図10】本発明のMOSFET素子の1つの工程を示す図である。

【図11】SIMOX基板上的素子を示す図である。

【図12】ゲート誘電体の堆積後の素子構造を示す図である。

【図13】堆積されたゲート誘電体を有する完成された*

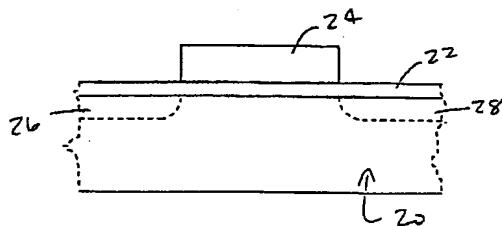
*素子構造を示す図である。

【図14】SIMOX基板上にゲート誘電体が堆積された完成された構造を示す図である。

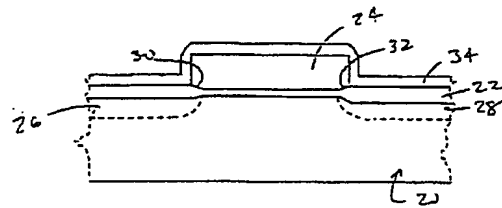
【符号の説明】

- 20 基板
- 22 酸化物層
- 24 窒化物島
- 26 p⁻LDD領域、ソース領域
- 28 p⁻LDD領域、ドレイン領域
- 10 30、32 バーズピーク構造
- 34 酸化物層
- 36、38 スペーサ
- 40 層、多結晶シリコン、多結晶層
- 41 分離酸化物領域
- 42 チャネル領域
- 44 ゲート誘電体層
- 46 多結晶シリコン、p⁺ソース領域、p⁻チャネルトランジスタのゲート
- 48 p⁺ドレイン領域、ソース
- 20 50 ドレイン
- 52、54 シリサイド層
- 60 バルクシリコン層
- 62 酸化物の層
- 70 誘電体層

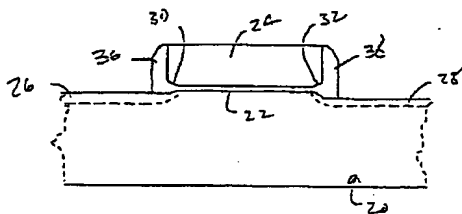
【図1】



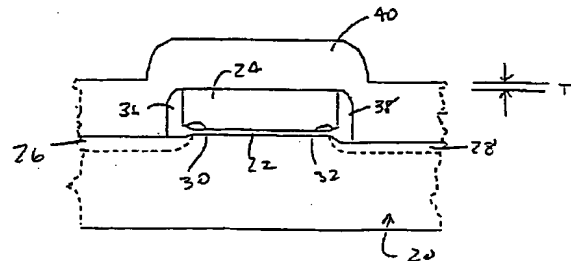
【図2】



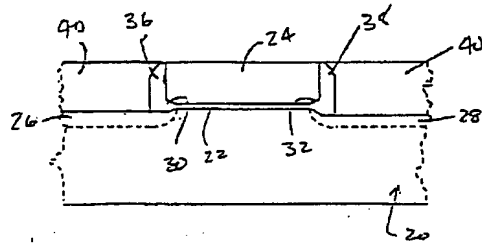
【図3】



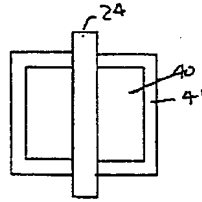
【図4】



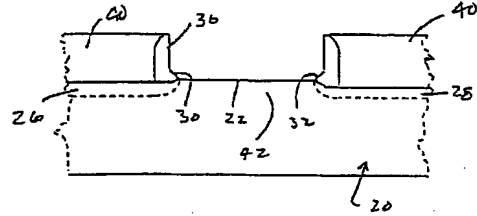
【図5】



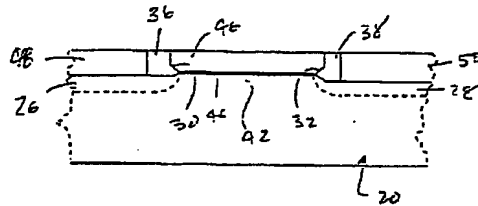
【図6】



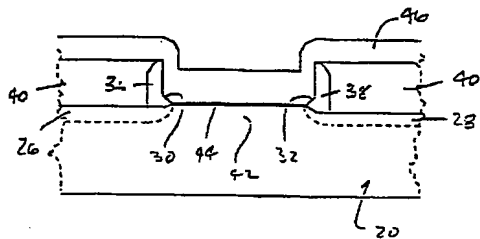
【図7】



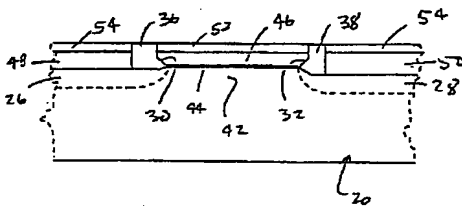
【図9】



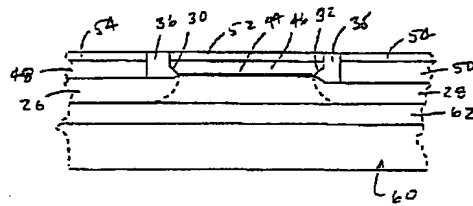
【図8】



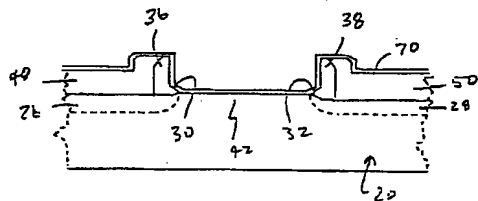
【図10】



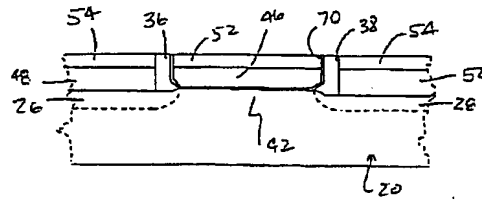
【図11】



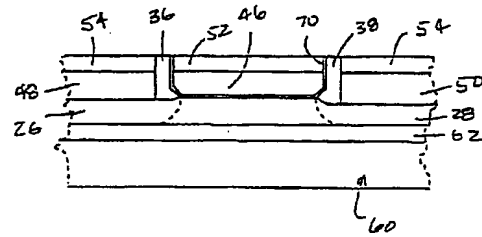
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 デイブ ラッセル エバンス
 アメリカ合衆国 オレゴン 97007, ヒ
 ーバートン, エヌダブリュー 179ティ
 ーエイチ ブレイス 7574

(72)発明者 シャン テン スー
 アメリカ合衆国 ワシントン 98607,
 カマス, エヌダブリュー トロウト コ
 ート 2216

THIS PAGE BLANK (USPTO)